

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0044636
Application Number

출원년월일 : 2002년 07월 29일
Date of Application JUL 29, 2002

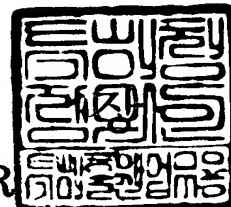
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 27 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.07.29
【발명의 명칭】	온칩 터미네이션기능을 가진 집적회로장치
【발명의 영문명칭】	INTEGRATED CIRCUIT WITH ON-CHIP TERMINATION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	조육래
【성명의 영문표기】	CHO,UK RAE
【주민등록번호】	640306-1804617
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1187 신현대아파트 2-402
【국적】	KR
【발명자】	
【성명의 국문표기】	김태형
【성명의 영문표기】	KIM,TAE HYOUNG
【주민등록번호】	730705-1350715
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 81-5 202호
【국적】	KR

【발명자】**【성명의 국문표기】** 김남석**【성명의 영문표기】** KIM,NAM SEOG**【주민등록번호】** 740924-1025416**【우편번호】** 136-141**【주소】** 서울특별시 성북구 장위1동 212번지 101호 29/3**【국적】** KR**【심사청구】** 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】**【기본출원료】** 20 면 29,000 원**【가산출원료】** 25 면 25,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 19 항 717,000 원**【합계】** 771,000 원**【첨부서류】** 1. 요약서·명세서(도면)_1통

1020020044636

출력 일자: 2003/3/3

【요약서】

【요약】

본 발명은 소정의 임피던스를 가지는 전송선을 통하여 데이터 입출력동작을 수행하는 집적회로장치는, 상기 전송선에 ~~연결된~~ 다수개의 드라이버 유닛들을 가지는 드라이버회로와; 출력데이터신호를 입력하며 출력활성화신호와 상기 전송선의 임피던스의 상태에 관련된 임피던스코드신호들에 응답하여 발생된 복수의 제어신호들을 상기 드라이버회로에 인가하는 컨트롤러를 구비하며; 상기 각각 응답하여 적어도 하나의 드라이버 유닛이 구동되며 상기 각 드라이버는 소정의 입력버퍼에 연결된 온칩터미네이션 회로를 포함한다.

【대표도】

도 2

【색인어】

출력회로, 터미네이션

【명세서】

【발명의 명칭】

온칩 터미네이션기능을 가진 집적회로장치{INTEGRATED CIRCUIT WITH ON-CHIP TERMINATION}

【도면의 간단한 설명】

도 1은 본 발명에 따른 집적회로장치에서 입출력용 드라이브회로와 컨트롤러의 배치를 보여주는 블록도.

도 2는 도 1의 드라이브회로의 내부 구성을 보여주는 블록도.

도 3은 도 2의 드라이브회로를 구성하는 엡드라이버들 및 다운드라이버들의 회로구성을 보여주는 회로도.

도 4A~4D는 도 3의 엡드라이버들로 인가되는 제어신호들을 발생하는 회로들의 구성을 보여주는 회로도들.

도 5A~5D는 도 3의 다운드라이버들로 인가되는 제어신호들을 발생하는 회로들의 구성을 보여주는 회로도들.

도 6A~6D는 데이터 출력 및 입력시에 도 2의 드라이브회로가 구성하는 전기적인 등가상태를 보여주는 회로도들.

< 도면의 주요 구성에 관한 부호의 설명 >

1 : 집적회로장치 TL : 전송선

2 : 컨트롤러 3 : 드라이브회로

10 : 제1드라이버 유닛 유닛 20 : 제2드라이버 유닛 유닛

30 : 터미네이션 회로

UPD, UPC, UPDt, UPCt : 업드라이버들

DND, DNC, DNDt, DNCt : 다운드라이버들

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 집적회로장치의 드라이브회로에 관한 것으로서, 특히 온칩터미네이션기능을 가지는 드라이브회로에 관한 것이다.
- <15> 디지털신호 또는 데이터를 처리하는 집적회로장치를 설계함에 있어서는, 주변의 회로 또는 장치들과의 원하지 않는 상호 작용에 의한 손실, 예컨대 신호 왜곡, 반향 또는 전력소모의 문제 등에 관련된 변수들을 고려하여야 한다. 집적회로장치들간 또는 이들과 주변장치들간의 인터페이스(interface; 집적회로장치와 그 주변장치간의 데이터통신)는 기본적으로 전송선 등에 의한 상존하는 부하용량에 의한 신호전달량의 손실을 감수하여야 한다. 또한, 집적회로장치내에서 최종적으로 신호 또는 데이터를 칩의 외부로 내보내는 드라이버에는 외부의 칩 외부의 회로와 임피던스(impedance)를 정합시키기 위한 수단이 제공된다. 즉, 출력회로와 주변장치들을 연결되는 전송선상에서의 신호반향(signal reflection 또는 line reflection)이 발생하지 않도록 하기 위하여, 고유의 임피던스(charateristic impedance)를 정합시키고 전기적인 부하를 통제할 수 있는 터미네이션(termination) 회로를 구비하는 것이 일반적이다. 터미네이션 기능을 수행하는

전형적인 수단으로는 저항을 사용하는데, 전송선에 저항을 설치함으로써 전송선의 고유 임피던스를 정합하고 신호반향 및 불연속성을 감쇄시킨다.

<16> 특별히, 집적회로장치에서는 그 자체의 칩내에 터미네이션기능을 구비하는 온칩 터미네이션(on-chip termination)이 요구되며, 온칩 터미네이션을 필요로 하는 인터페이스 설계에 있어서 양방향(입력 및 출력)으로 신호전송을 수행하기 위해서는 각 터미널(또는 입출력포트)에서는 드라이브회로와 온칩 터미네이션회로가 동시에 갖고 있어야 한다. 그러한 동시적인 구성이 회로면적의 증가는 물론 인터페이스 구조에서의 부하용량의 증가를 가져 오기 때문에, 하나의 드라이버에 온칩 터미네이션기능을 포함시키는 것이 필요하다. 또한, 집적회로장치의 입출력측과 외부의 전송선사이에서의 임피던스는 공정, 전압 또는 온도에 따라 그 변화의 정도가 민감하기 때문에, 필요한 임피던스 상태에 따라 효율적이고 탄력적인 임피던스 관리가 요구된다. 그러나, 종래에 제시된 드라이버회로들에서는 온칩터미네이션 기능을 수행하는 드라이버에 대한 제어기능을 효율적이고 실질적인 수준으로 제공하지 못하였다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명의 목적은 집적회로장치에서 온칩터미네이션 기능을 가진 드라이브 회로를 제공함에 있다.

<18> 본 발명의 다른 목적은 집적회로장치에서 선형성이 개선되고 임피던스를 일정하게 유지할 수 있는 온칩터미네이션 기능을 가진 드라이브회로를 구비한 집적회로장치를 제공함에 있다

<19> 본 발명의 다른 목적은 집적회로장치내에서 실질적으로 효율적인 제어를 통하여 온칩터미네이션 기능을 수행하는 드라이브회로를 구비한 집적회로장치를 제공함에 있다.

<20> 본 발명의 다른 목적은 보다 작은 회로구성으로써 효율적인 온칩터미네이션기능을 수행하는 집적회로장치를 제공함에 있다.

【발명의 구성 및 작용】

<21> 전술한 목적들을 달성하기 위하여, 본 발명의 집적회로장치는, 전송선에 대한 데이터 입출력동작을 수행하는 다수개의 드라이버 유닛들을 가지는 드라이브회로와; 출력데이터신호를 입력하며 출력활성화신호와 상기 전송선의 임피던스의 상태에 관련된 임피던스코드신호들에 응답하여 발생된 복수의 제어신호들을 상기 드라이브회로에 인가하는 컨트롤러를 구비하며; 상기 제어신호들에 각각 응답하여 적어도 하나의 드라이버 유닛이 구동되며 상기 각 드라이버는 소정의 입력버퍼에 연결된 온칩터미네이션 회로를 포함한다.

<22> 본 실시예에서는 상기 드라이브회로가 상기 전송선에 공통으로 연결된 제1 및 제2 드라이버 유닛들로 이루어진다. 상기 컨트롤러는: 상기 출력활성화신호와 상기 출력데이터신호에 응답하여 제1엠티드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호와 상기 출력데이터신호에 응답하여 제2엠티드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호와 상기 출력데이터신호에 응답하여 제1다운드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호와 상기 출력데이터신호에 응답하여 제2다운드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호와 상기 출력데이터신호와 제1임피던스코드신호에 응답하여 제3엠티드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호

및 상기 출력데이터신호와 상기 제1임피던스코드신호와 제2임피던스코드에 응답하여 제4오프드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호신호와 상기 출력데이터신호와 상기 제1임피던스코드에 응답하여 제3다운드라이브 제어신호를 발생하는 회로와; 상기 출력활성화신호와 상기 출력데이터신호와 상기 제1임피던스코드신호와 상기 제2임피던스코드에 응답하여 제4다운드라이브 제어신호를 발생하는 회로를 구비한다.

<23> 상기 제1드라이버 유닛은: 상기 제1오프드라이브 제어신호에 응답하여 전원전압과 상기 전송선을 연결하는 제1오프드라이버와; 상기 제2오프드라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제2오프드라이버와; 상기 제1다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제1다운드라이버와; 상기 제2다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제2다운드라이버를 구비한다.

<24> 상기 제2오프드라이버와 상기 제2다운드라이버가 상기 온칩터미네이션 회로에 포함된다. 상기 데이터출력시에는 상기 제1오프드라이버와 상기 제1다운드라이버가 상기 출력데이터신호의 종류에 따라 선택적으로 구동되며, 상기 데이터입력시에는 상기 제2오프드라이버와 상기 제2다운드라이버가 동시에 구동된다.

<25> 상기 제2드라이버 유닛은: 상기 제3오프드라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제3오프드라이버와; 상기 제4오프드라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제4오프드라이버와; 상기 제3다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제3다운드라이버와; 상기 제4다운드라이브 제어신호에 응답하여 상기 전송선과 상기 접지전압을 연결하는 제4다운드라이버를 구비한다.

- <26> 상기 제4엠티드라이버와 상기 제4다운드라이버는 상기 제2엠티드라이버와 상기 제3다운드라이버와 함께 상기 온칩터미네이션 회로에 포함된다. 그리하여, 임피이던스 보강을 위하여, 상기 데이터출력시에는 상기 제3엠티드라이버 및 상기 제3다운드라이버가 상기 출력데이터신호의 종류에 따라 상기 제1엠티드라이버 및 상기 제1다운드라이버와 동시에 선택적으로 구동되며, 상기 데이터입력시에는 상기 제4엠티드라이버와 상기 제4다운드라이버가 상기 제2엠티드라이버 및 상기 제2다운드라이버와 동시에 구동된다.
- <27> 이하, 본 발명에 따른 드라이브 회로에 관하여 첨부된 도면들을 참조하여 상세하게 설명한다.
- <28> 도 1은 본 발명에 따라 집적회로장치 1의 내부에 설치된 컨트롤러 2와 드라이브회로 2의 연결관계를 보여 준다.
- <29> 도 1에서, 컨트롤러 2는 제어신호들 OE/OEB, OC 및 TC에 응답하여 데이터 D0를 입력한 다음 드라이브 제어신호들 PD, PC1, PDT, PCT1, ND, NC1, NDT 및 NCT1 (이하, PD~NCT1)을 드라이버 3으로 제공한다. 드라이브회로 3은 데이터 D0에 상응하는 출력("1" 또는 "0")을 집적회로장치 1의 외부와 연결된 전송선 TL을 통하여 주변의 장치들로 전송한다. 드라이브회로 3은, 드라이브 제어신호들 PD~NCT1에 응답하여, 데이터 D0에 상응하는 출력을 전송선 TL로 제공하고 요구되는 임피이던스정합을 위한 엡(up)드라이버들과 다운(down)드라이버들을 가지며, 데이터가 집적회로장치 1의 주변장치로부터 입력될 때 필요한 임피이던스를 정합시키기 위한 터미네이션회로를 또한 포함한다. 집적회로장치 1의 외부로부터 전송선 TL을 통하여 입력된 데이터는 드라이브회로 3의 내부를 거친 다음 버퍼 4를 통하여 집적회로장치 1의 내부로 공급된다.

- <30> 도 1과 같은 구성이 적용될 수 있는 집적회로장치는 반도체 제조기술로 제조되어 디지털 데이터 신호를 처리하는 것들로서, 데이터의 입출력을 위하여 주변의 다른 장치들과의 전기적인 임피던스 정합이 필요한 모든 종류들, 예컨대 메모리장치들 또는 신호 처리장치들에 해당된다.
- <31> 도 2는 도 1에 보인 드라이브회로 3의 내부 구성을 보여 준다. 도 2를 참조하면, 본 발명에 의한 드라이브회로 3은 제1드라이버 유닛 10과 제2드라이버 유닛 20으로 구성된다. 제1드라이버 유닛 10과 제2드라이버 유닛 20의 구성은, 인가되는 드라이브 제어 신호들의 종류를 제외하고, 동일하다. 제2드라이버 유닛 20은 데이터 "1" 또는 "0"을 전송선 TL로 출력할 때 제1드라이버 유닛 10의 임피던스를 보강한다.
- <32> 제1드라이버 유닛 10은 2개의 엡드라이버들 UPD 및 UPDt과 2개의 다운드라이버들 DND 및 DNDt로 구성되고, 제2드라이버 유닛 20도 제1드라이버 유닛 10과 마찬가지로 2개의 엡드라이버들 UPC 및 UPCt과 2개의 다운드라이버들 DNC 및 DNCt로 구성된다. 엡드라이버들 UPD, UPC, UPDt 및 UPCt는 데이터 "1"을 전송선 TL로 출력할 때 동시에 구동될 수 있도록 설계된다. 또한, 다운드라이버들 DND, DNC, DNDt 및 DNCt은 데이터 "0"을 전송선 TL로 출력할 때 동시에 구동될 수 있도록 설계된다. 한편, 엡드라이버들 UPDt 및 UPCt와 다운드라이버들 DNDt 및 DNCt는, 집적회로장치 1이 전송선 TL을 통하여 데이터를 입력할 때, 모두 동시에 구동되어 외부와의 임피던스 정합을 위한 온칩터미네이션 기능을 제공하는 터미네이션회로 30을 구성한다. 외부의 데이터는 터미네이션회로 30을 거친 다음 버퍼 4를 통하여 집적회로장치 1의 내부회로들로 공급된다.
- <33> 제1드라이버 유닛 10에서, 엡드라이버 UPD는 전원전압 VDD와 전송선 TL사이에 연결되며 드라이브 제어신호 PD에 응답하여 데이터 "1"을 전송선 TL로 출력한다. 다운드라이

이버 DND는 전송선 TL과 접지전압 VSS사이에 연결되며 드라이버 제어신호 ND에 응답하여 데이터 "0"을 출력한다. 제2드라이버 유닛 20에서, 오프드라이버 UPC는 전원전압 VDD와 전송선 TL사이에 연결되며 드라이브 제어신호 PC1에 응답하여 데이터 "1"을 전송선 TL로 출력한다. 다운드라이버 DNC는 전송선 TL과 접지전압 VSS사이에 연결되며 드라이버 제어신호 NC1에 응답하여 데이터 "0"을 출력한다.

<34> 제1드라이버 유닛 10에 속하고 기능적으로 터미네이션회로 30에도 포함되는 오프드라이버 UPDt는 전원전압 VDD와 전송선 TL사이에 연결되며, 드라이브 제어신호 PDT에 응답하여, 데이터 "1"을 전송선 TL로 출력하거나 전송선 TL을 통하여 데이터 입력할 때 도전상태로 된다. 제1드라이버 유닛 10에 속하고 기능적으로 터미네이션회로 30에도 포함되는 다운드라이버 DNDt는 전송선 TL과 접지전압 VSS사이에 연결되며, 드라이브 제어신호 NDT에 응답하여, 데이터 "0"을 전송선 TL로 출력하거나 전송선 TL을 통하여 데이터를 입력할 때 도전상태로 된다.

<35> 제2드라이버 유닛 20에 속하고 기능적으로는 터미네이션회로 30에도 포함되는 오프드라이버 UPCT는 전원전압 VDD와 전송선 TL사이에 연결되며, 드라이브 제어신호 PCT1에 응답하여, 데이터 "1"을 전송선 TL로 출력하거나 전송선 TL을 통하여 데이터를 입력할 때 도전상태로 된다. 제2드라이버 유닛 10에 속하고 기능적으로 터미네이션회로 30에도 포함되는 다운드라이버 DNCt는 전송선 TL과 접지전압 VSS사이에 연결되며, 드라이브 제어신호 NCT1에 응답하여, 데이터 "0"을 전송선 TL로 출력하거나 전송선 TL을 통하여 데이터를 입력할 때 도전상태로 된다.

- <36> 도 2의 본 실시예에서는 제1드라이버 유닛 10과 제2드라이버 유닛 20만이 도시되어 있지만, 전송선 TL에 관련된 임피던스 상태와 그 용량에 따라 제2드라이버 유닛 20과 같은 구성이 더 추가될 수 있음을 이해하여야 한다.
- <37> 도 3은 도 2의 오프드라이버들과 다운드라이버들의 회로 구성을 보여 준다. 오프드라이버들 UPD, UPC, UPDt 및 UPCt는 인가되는 드라이브 제어신호를 제외하고는 모두 동일한 구성을 가진다. 또한, 다운드라이버들 DND, DNC, DNDt 및 DNCt는 인가되는 드라이브 제어신호를 제외하고는 모두 동일한 구성을 가진다.
- <38> 도 3을 참조하면, 제1드라이버 유닛 10에서 오프드라이버 UPD는 피모오스트랜지스터들 MP1, MP2 및 MP11과 엔모오스트랜지스터 MN1으로 구성된다. 오프드라이브제어신호 PD는 인버터 INV1을 통하여 전원전압 VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP1의 게이트에 접속된다. 오프드라이브제어신호 PD는 또한 전원전압 VDD와 전송선 TL사이에 직렬연결된 피모오스트랜지스터 MP11과 엔모오스트랜지스터 MN11의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP11과 엔모오스트랜지스터 MN11의 공통드레인노드는 전원전압 VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP2의 게이트에 접속된다. 다운드라이버 DND는 피모오스트랜지스터 MP12와 엔모오스트랜지스터들 MN1, MN2 및 MN12로 구성된다. 다운드라이브제어신호 ND는 인버터 INV3을 통하여 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN1의 게이트에 접속된다. 다운드라이브 제어신호 PD는 또한 전송선 TL과 접지전압 VSS사이에 직렬연결된 피모오스트랜지스터 MP12와 엔모오스트랜지스터 MN12의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP12와 엔모오스트랜지스터 MN12의 공통드레인노드는 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN2의 게이트에 접속된다.

<39> 제1드라이버 유닛 10에서 데이터가 입력될 때 온칩터미네이션 기능을 수행하는 옆드라이버 UPDt는 피모오스트랜지스터들 MP5, MP6 및 MP15와 엔모오스트랜지스터 MN15로 구성된다. 옆드라이브제어신호 PDT는 인버터 INV5를 통하여 전원전압 VDD와 전송선 TL 사이에 연결된 피모오스트랜지스터 MP5의 게이트에 접속된다. 옆드라이브제어신호 PDT는 또한 전원전압 VDD와 전송선 TL사이에 직렬연결된 피모오스트랜지스터 MP15와 엔모오스트랜지스터 MN15의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP15와 엔모오스트랜지스터 MN15의 공통드레인노드는 전원전압 VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP6의 게이트에 접속된다. 다운드라이버 DNDt는 피모오스트랜지스터 MP16과 엔모오스트랜지스터들 MN5, MN6 및 MN16으로 구성된다. 다운드라이브제어신호 NDT는 인버터 INV7을 통하여 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN5의 게이트에 접속된다. 다운드라이브제어신호 PD는 또한 전송선 TL과 접지전압 VSS사이에 직렬연결된 피모오스트랜지스터 MP16과 엔모오스트랜지스터 MN16의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP16과 엔모오스트랜지스터 MN16의 공통드레인노드는 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN6의 게이트에 접속된다.

<40> 제2드라이버 유닛 20에서, 옆드라이버 UPC는 피모오스트랜지스터들 MP3, MP4 및 MP13과 엔모오스트랜지스터 MN13으로 구성된다. 옆드라이브제어신호 PC1은 인버터 INV2를 통하여 전원전압 VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP3의 게이트에 접속된다. 옆드라이브제어신호 PC1은 또한 전원전압 VDD와 전송선 TL사이에 직렬연결된 피모오스트랜지스터 MP11과 엔모오스트랜지스터 MN11의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP13과 엔모오스트랜지스터 MN13의 공통드레인노드는 전원전압

VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP4의 게이트에 접속된다. 다운드라이버 DNC는 피모오스트랜지스터 MP14와 엔모오스트랜지스터들 MN3, MN4 및 MN14로 구성된다. 다운드라이브제어신호 NC1은 인버터 INV6을 통하여 전송선 TL과 접지전압 VSS 사이에 연결된 엔모오스트랜지스터 MN3의 게이트에 접속된다. 다운드라이브제어신호 NC1은 또한 전송선 TL과 접지전압 VSS사이에 직렬연결된 피모오스트랜지스터 MP14와 엔모오스트랜지스터 MN14의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP14와 엔모오스트랜지스터 MN14의 공통드레인노드는 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN4의 게이트에 접속된다.

<41> 제2드라이버 유닛 20에서 데이터가 입력될 때 온칩터미네이션 기능을 수행하는 옆드라이버 UP Ct는 피모오스트랜지스터들 MP7, MP8 및 MP17과 엔모오스트랜지스터 MN17로 구성된다. 옆드라이브제어신호 PCT1은 인버터 INV6을 통하여 전원전압 VDD와 전송선 TL 사이에 연결된 피모오스트랜지스터 MP7의 게이트에 접속된다. 옆드라이브제어신호 PCT1은 또한 전원전압 VDD와 전송선 TL사이에 직렬연결된 피모오스트랜지스터 MP17과 엔모오스트랜지스터 MN17의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP17과 엔모오스트랜지스터 MN17의 공통드레인노드는 전원전압 VDD와 전송선 TL사이에 연결된 피모오스트랜지스터 MP8의 게이트에 접속된다. 다운드라이버 DNCt는 피모오스트랜지스터 MP18과 엔모오스트랜지스터들 MN7, MN8 및 MN18로 구성된다. 다운드라이브제어신호 DNCt는 인버터 INV8을 통하여 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN7의 게이트에 접속된다. 다운드라이브제어신호 DNCt는 또한 전송선 TL과 접지전압 VSS사이에 직렬연결된 피모오스트랜지스터 MP18과 엔모오스트랜지스터 MN18의 게이트들에 공통으로 접속된다. 피모오스트랜지스터 MP18과 엔모오스트랜지스터 MN18의 공통

드레인노드는 전송선 TL과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN8의 게이트에 접속된다.

<42> 도 4A~4D 및 5A~5D는 본 발명의 실시예에 따라 도 2 또는 3에 보인 옆드라이브 제어 신호들 PD, PC1, PDT 및 PCT1과 다운드라이브 제어 신호들 ND, NC1, NDT 및 NCT1을 발생하는 회로들을 각각 보여 준다. 드라이브 제어 신호들은 데이터 "1" 또는 "0"을 집적 회로 장치 1의 내부로부터 전송선 TL을 통하여 외부로 출력할 때와 전송선 TL을 통하여 데이터를 집적 회로 장치 1의 외부로부터 받아 들일 때에 따라 각각 드라이브 회로 3를 구성하는 옆드라이버들과 다운드라이버들을 제어한다. 드라이브 제어 신호들을 발생하는 회로들에는 출력 데이터 신호 DO가 공통으로 인가된다.

<43> 먼저, 도 4A를 참조하면, 제1드라이버 유닛 10의 옆드라이브 제어 신호 PD를 발생하는 회로는 피모오스트랜지스터들 MP21~MP22와 엔모오스트랜지스터들 MN21~MN23으로 구성된다. 피모오스트랜지스터들 MP21 및 MP22와 엔모오스트랜지스터들 MN21 및 MN22는 전원전압 VDD와 접지전압 VSS사이에 직렬로 연결된다. 피모오스트랜지스터 MP22와 엔모오스트랜지스터 MN21의 공통드레인노드 N1으로부터 옆드라이브 제어 신호 PD가 발생된다. 피모오스트랜지스터 MP21의 게이트에는 출력 활성화 신호 OE가 인버터 INV11을 통하여 인가된다. 피모오스트랜지스터 MP22와 엔모오스트랜지스터 MN21의 게이트들에는 출력 데이터 신호 DO가 인가된다. 엔모오스트랜지스터 MN22의 게이트에는 상보 출력 활성화 신호 OEB(OE와 반대의 논리상태를 가짐)이 인버터 INV12를 통하여 인가된다. 상보 출력 활성화 신호 OEB는 또한 노드 N1과 접지전압 VSS사이에 연결된 엔모오스트랜지스터 MN23의 게이트에 직접 인가된다.

- <44> 출력활성화신호 OE는 데이터신호 DO가 발생될 때 하이레벨로 되어 드라이브제어신호를 발생하는 회로들을 구동시킨다. 데이터신호 DO는 실제의 데이터 논리와는 반대로 인가된다.
- <45> 도 4B를 참조하면, 제2드라이버 유닛 20의 옆드라이브제어신호 PC1을 발생하는 회로는, 전원전압 VDD와 접지전압 VSS사이에 직렬 연결된 피모오스트랜지스터들 MP23 및 MP24와 엔모오스트랜지스터들 MN24 및 MN25를 포함한다. 피모오스트랜지스터 MP24와 엔모오스트랜지스터 MN24사이의 공통드레인노드 N2와 접지전압 VSS사이에는, 엔모오스트랜지스터들 MN26 및 MN27이 병렬로 연결된다. 피모오스트랜지스터 MP23의 게이트에는 낸드게이트 ND1의 출력이 접속된다. 낸드게이트 ND1는 출력활성화신호 OE와 인버터 INV13을 통하여 반전된 임피이던스코드신호 OC가 입력된다. 피모오스트랜지스터 MP24와 엔모오스트랜지스터 MN24의 게이트들에는 출력데이터신호 DO가 인가된다. 엔모오스트랜지스터 MN25의 게이트에는 노아게이트 NR1의 출력이 인가된다. 노아게이트 NR1은 임피이던스코드신호 OC와 상보 출력활성화신호 OEB가 입력된다. 임피이던스코드신호 OC는 또한 엔모오스트랜지스터 MN26의 게이트에 인가된다. 상보 출력활성화신호 OEB는 또한 엔모오스트랜지스터 MN27의 게이트에 인가된다. 노드 N2로부터 옆드라이브제어신호 PC1이 발생된다.
- <46> 임피이던스코드신호 OC는 제1드라이버 유닛 10만으로는 전송선 TL에 대한 임피이던스 정합 능력이 부족한 경우, 제2드라이버 유닛 20을 구동시키기 위하여 사용된다. 임피이던스코드신호 OC가 하이레벨이면 제1드라이버 유닛 10이외의 더 이상의 드라이버가 필요없음을 알리며, 이 때에는 출력활성화신호 OE가 하이레벨로 되더라도 옆드라이브제어신호 PC1은 발생되지 않는다.

<47> 도 4C를 참조하면, 제1드라이버 유닛 10에서 온칩터미네이션기능을 위하여 오프드라이브 제어신호 PDT를 발생하는 회로에서는, 피모오스트랜지스터들 MP25 및 MP25와 엔모오스트랜지스터들 MN28 및 MN29가 전원전압 VDD와 접지전압 VSS사이에 직렬로 연결되고, 피모오스트랜지스터들 MP27 및 MP28과 엔모오스트랜지스터들 MN30 및 MN31이 전원전압 VDD와 접지전압 VSS사이에 또한 직렬로 연결된다. 출력활성화신호 OE는 인버터 INV14를 통하여 피모오스트랜지스터 MP25와 엔모오스트랜지스터 MN31의 게이트들에 공통으로 인가된다. 상보 출력활성화신호 OEB는 인버터 INV15를 통하여 엔모오스트랜지스터 MN29와 피모오스트랜지스터 MP29의 게이트들에 공통으로 인가된다. 데이터신호 DO는 피모오스트랜지스터 MP25와 엔모오스트랜지스터 MN28의 게이트들에 공통으로 인가된다. 피모오스트랜지스터 MP28과 엔모오스트랜지스터 MN30의 게이트들은 접지전압 VSS에 공통으로 접속된다. 다운드라이브 제어신호 PDT가 발생하는 노드 N3는, 피모오스트랜지스터 MP25와 엔모오스트랜지스터 MN28의 공통드레인과, 피모오스트랜지스터 MP28과 엔모오스트랜지스터 MN30의 공통드레인에 접속된다. 도 4C의 회로는 출력활성화신호 OE가 로우레벨인 때에 온칩터미네이션기능을 수행하며, 출력활성화신호 OE가 하이레벨인 때에는 전술한 도 4A의 오프드라이브 제어신호 PD를 발생하는 회로와 동일하게 동작한다.

<48> 도 4D를 참조하면, 제2드라이버 유닛 20에서 온칩터미네이션 기능을 위하여 오프드라이브 제어신호 PCT1을 발생하는 회로는 전원전압 VDD와 접지전압 VSS사이에서 직렬연결된 피모오스트랜지스터들 MP29 및 MP30과 엔모오스트랜지스터들 MN32 및 MN33을 포함한다. 전원전압 VDD와 접지전압 VSS사이에는 피모오스트랜지스터들 MP31 및 MP32와 엔모오스트랜지스터들 MN36 및 MN37이 직렬로 연결된다. 오프드라이브 제어신호 PCT1이 발생하는 노드 N4와 접지전압 VSS사이에는 엔모오스트랜지스터들 MN34 및 MN35가 직렬로 연결된다.

노드 N4는 피모오스트랜지스터 MP30 및 엔모오스트랜지스터 MN32의 공통드레인과, 피모오스트랜지스터 MP32 및 엔모오스트랜지스터 MN36의 공통드레인에 접속된다. 피모오스트랜지스터 MP29의 게이트에는, 출력활성화신호 OE와 인버터 INV16을 통하여 반전된 임피던스코드신호 OC을 입력하는 낸드게이트 ND2의 출력이 인가된다. 출력활성화신호 OE는 또한 엔모오스트랜지스터 MN34와 피모오스트랜지스터 MP32의 게이트들에 인가된다. 데이터신호 D0는 피모오스트랜지스터 MP30과 엔모오스트랜지스터 MN32의 게이트들에 공통으로 인가된다. 엔모오스트랜지스터 MN33의 게이트에는, 임피던스코드신호 OC와 상보 출력활성화신호 OEB를 입력으로 하는 노아게이트 NR2의 출력이 인가된다. 임피던스코드신호 OC는 또한 엔모오스트랜지스터 MN35의 게이트에 인가된다. 상보 출력활성화신호 OEB는 또한 피모오스트랜지스터 MN36의 게이트에 인가된다.

<49> 한편, 피모오스트랜지스터 MP31과 엔모오스트랜지스터 MN37의 게이트들에는 온칩터미네이션을 위한 임피던스코드신호 TC가 인가된다. 도 4D의 회로는 출력활성화신호 OE가 로우레벨일 때(즉, 데이터를 출력하지 않거나 데이터를 수신할 때) 온칩터미네이션 기능을 수행하여야 한다. 따라서, 제1드라이버 유닛 10에 속하는 옆드라이버 UPDt의 임피던스가 부족할 때 이를 보강하기 위하여 제2드라이버 유닛 20에 속하는 옆드라이버 UP Ct를 구동시키기 위하여 신호 TC가 제공된다. 출력활성화신호 OE가 로우레벨인 상태에서 제1드라이버 유닛 10에서의 임피던스가 부족할 때, 온칩터미네이션 임피던스코드신호 TC는 로우레벨로 되어 옆드라이브제어신호 PCT1을 하이레벨로 만든다. 임피던스코드신호 TC가 하이레벨이면 옆드라이버 UP Ct를 구동할 필요가 없음을 의미하므로, 옆드라이브제어신호 PCT1은 로우레벨로 되어 옆드라이버 UP Ct를 턴오프시킨다.

- <50> 도 5A~5D는 도 3에 보인 다운드라이버들 DND, DNC, DNDt 및 DNCt을 제어하기 위한 신호들 ND, NC1, NDT 및 NCT1을 발생하는 회로들이다. 도 5A~5D의 회로들에서 도 4A~4D와 동일한 구성요소들에 대하여는 동일한 참조부호들을 부여 한다.
- <51> 먼저, 도 5A를 참조하면, 제1드라이버 유닛 10의 다운드라이버 DND를 제어하는 신호 ND를 발생하는 회로에서는, 전원전압 VDD와 다운드라이브제어신호 ND가 발생하는 노드 N5사이에 연결된 피모오스트랜지스터 MP33이 도 4A의 회로에 추가된다. 노드 N5는 피모오스트랜지스터 MP22와 엔모오스트랜지스터 MN21의 공통드레인에 접속된다.
- <52> 도 5B에서는, 제2드라이버 유닛 20의 다운드라이버 DNC를 제어하는 신호 NC1을 발생하는 회로는, 도 4B의 엔모오스트랜지스터들 MN26 및 MN27 대신에 전원전압 VDD와 다운드라이브제어신호 NC1이 발생하는 노드 N6사이에 병렬로 연결된 피모오스트랜지스터들 MP34 및 MP35를 포함한다. 피모오스트랜지스터 MP34의 게이트는 임피이던스코드신호 OC에 접속된다. 피모오스트랜지스터 MP35의 게이트는 출력활성화신호 OE에 접속된다.
- <53> 도 5C에 보인, 제1드라이버 유닛 10의 다운드라이버 DNDt를 제어하는 신호 NDT를 발생하는 회로에서는, 피모오스트랜지스터 MP30과 엔모오스트랜지스터 MN30의 게이트들이 전원전압 VDD에 공통으로 접속된다(도 4C에서는 접지전압 VSS에 접속된).
- <54> 도 5D에서는, 제2드라이버 유닛 20에 속하며 출력활성화신호 OE가 로우레벨일 때 온칩터미네이션 기능을 수행하는 다운드라이버 DNCt를 제어하는 신호 NCT1을 발생하는 회로는, 도 4D의 엔모오스트랜지스터들 MN34 및 MN35 대신에 전원전압 VDD와 다운드라이브제어신호 PCT1이 발생하는 노드 N8 (=N4)사이에 직렬로 연결된 피모오스트랜지스터들 MP36 및 MP37을 포함한다. 피모오스트랜지스터 MP36의 게이트는 임피이던스코드신호 OC

에 접속된다. 피모오스트랜지스터 MP36의 게이트는 엔모오스트랜지스터 MN36의 게이트와 함께 상보 출력활성화신호 OEB에 접속된다.

<55> 이와 같이 구성된 드라이브회로 3 및 그 컨트롤러 2는 본 발명의 실시예에서 3가지의 동작모드로 구분되어 동작한다. 즉, 출력활성화신호 OE가 하이레벨인 상태에서 데이터신호 D0가 하이레벨 (데이터 "1")로 출력되는 때와, 출력활성화신호 D0가 로우레벨인 상태에서 데이터신호 D0가 로우레벨 (데이터 "0")로 출력되는 때와, 출력활성화신호 D0가 로우레벨인 상태에서 데이터가 전송선 TL을 통하여 집적회로장치 1로 입력하는 때(온칩터미네이션)이다. 아래의 [표 1]은 동작모드에 따라 드라이브제어신호들의 상태를 정리한 것이다.

<56>

[표 1]

<57>

	출력		온칩터미네이션
	데이터 "1"	데이터 "0"	
	PD		H
ND	H	L	H
PC1	H	L	L
NC1	H	L	H
PDT	H	L	H
NDT	H	L	L
PCT1	H	L	H
NCT1	H	L	L

<58>

[표 1]에 따라 도 3의 드라이브회로가 동작한 결과들을 전기적인 등가상태들이 도 6A~6C에 도시되어 있다. 도 6A, 6B 및 6C는 각각 데이터 "1"을 출력할 때, 데이터 "0"을 출력할 때와 온칩터미네이션 기능을 수행할 때를 보여 준다.

<59> 먼저, 도 6A를 참조하면, 데이터 "1"을 출력하는 경우에는, 출력활성화신호 OE가 하이레벨이고 데이터신호 DO가 로우레벨(실제로 출력될 데이터와는 반대의 논리상태로 인가됨)이므로, 드라이브제어신호들 PD, ND, PC1, NC1, PDT, NDT, PCT1 및 NCT1은 도 4A~5D의 회로들로부터 모두 하이레벨(H)로 발생된다. 따라서, 제1드라이버 유닛 10에서는, 오프드라이버들 UPD 및 UPDt에 속하는 피모오스트랜지스터들 MP1, MP2, MP5 및 MP6가 하이레벨의 드라이브신호들 PD 및 PDT에 응답하여 턴온되는 반면, 엔모오스트랜지스터들 MN1, MN2, MN5 및 MN6가 하이레벨의 드라이브신호들 ND 및 NDT에 응답하여 턴오프된다. 또한, 제2드라이버 유닛 20에서는, 오프드라이버들 UPC 및 UPCt에 속하는 피모오스트랜지스터들 MP3, MP4, MP7 및 MP8이 하이레벨의 드라이브신호들 PC1 및 PCT1에 응답하여 턴온되는 반면, 엔모오스트랜지스터들 MN3, MN4, MN7 및 MN8이 하이레벨의 드라이브신호들 NC1 및 NCT1에 응답하여 턴오프된다.

<60> 그 결과, 도 6A에 보인 바와 같이, 전송선 TL이 오프드라이버들 UPD, UPC, UPDt 및 UPCt을 통하여 병렬로 전원전압 VDD에 동시에 전기적으로 연결되고 접지전압 VSS에는 연결되지 않음에 따라 데이터 "1"이 출력된다.

<61> 이 때, 임피이던스코드신호들 OC 및 TC는 모두 로우레벨이다. 그러나, 부가적인 드라이버가 필요없는 경우, 즉 제1드라이버 유닛 10만으로도 데이터 "1"을 전송선 TL로 출력하는데 있어서 임피이던스 정합이 가능한 경우에는, 제2드라이버 유닛 20의 드라이브제어신호들 PC1, NC1, PCT1 및 NCT1을 발생하는 회로들(각각, 도 4B, 4D, 5B 및 5D)에는 임피이던스코드신호들 OC 및 TC가 모두 하이레벨로 인가되어 드라이브제어신호들 PC1, NC1, PCT1 및 NCT1은 발생되지 않기 때문에 제2드라이버 유닛 20은 동작하지 않는다.

<62> 데이터 "0"을 출력하는 경우에는, 출력활성화신호 OE가 하이레벨이고 데이터신호 DO가 하이레벨이므로, 드라이브제어신호들 PD, ND, PC1, NC1, PDT, NDT, PCT1 및 NCT1은 도 4A~5D의 회로들로부터 [표1]에 보인 바와 같이 모두 로우레벨(L)로 발생된다. 따라서, 제1드라이버 유닛 10에서는, 오프드라이버들 UPD 및 UPDt에 속하는 피모오스트랜지스터들 MP1, MP2, MP5 및 MP6가 로우레벨의 드라이브신호들 PD 및 PDT에 응답하여 턴오프되는 반면, 엔모오스트랜지스터들 MN1, MN2, MN5 및 MN6가 로우레벨의 드라이브신호들 ND 및 NDT에 응답하여 턴온된다. 또한, 제2드라이버 유닛 20에서는, 오프드라이버들 UPC 및 UPCt에 속하는 피모오스트랜지스터들 MP3, MP4, MP7 및 MP8이 로우레벨의 드라이브신호들 PC1 및 PCT1에 응답하여 턴오프되는 반면, 엔모오스트랜지스터들 MN3, MN4, MN7 및 MN8이 로우레벨의 드라이브신호들 NC1 및 NCT1에 응답하여 턴온된다.

<63> 그 결과, 도 6B에 보인 바와 같이, 전송선 TL이 다운드라이버들 DND, DNC, DNDt 및 DNCt을 통하여 병렬로 접지전압 VSS에 동시에 전기적으로 연결되고 전원전압 VDD에는 연결되지 않음에 따라 데이터 "0"이 출력된다.

<64> 이 때, 임피이던스코드신호들 OC 및 TC는 모두 하이레벨이다. 그러나, 부가적인 드라이버가 필요없는 경우, 즉 제1드라이버 유닛 10만으로도 데이터 "0"을 전송선 TL로 출력하는데 있어서 임피이던스 정합이 가능한 경우에는, 제2드라이버 유닛 20의 드라이브제어신호들 PC1, NC1, PCT1 및 NCT1을 발생하는 회로들(각각, 도 4B, 4D, 5B 및 5D)에는 임피이던스코드신호들 OC 및 TC가 모두 하이레벨로 인가되어 드라이브제어신호들 PC1, NC1, PCT1 및 NCT1은 발생되지 않기 때문에 제2드라이버 유닛 20은 동작하지 않는다.

- <65> 다음으로, 출력활성화신호 OE가 로우레벨인 상태, 즉 전송선 TL로부터 데이터를 입력하는 경우로서, [표 1]에 보인 바와 같이, 기능적으로 터미네이션회로 30에 포함되지 않는 드라이버들 UPD, DND, UPC 및 DNC를 제어하는 신호들 PD, ND, PC1 및 NC1은 각각 로우, 하이, 로우 및 하이레벨로 발생하는 반면에, 터미네이션회로 30에 포함된 드라이버들 UPDt, DNDt, UPCt 및 DNCt을 제어하는 신호들 PDT, NDT, PCT1 및 NCT1은 각각 하이, 로우, 하이, 로우레벨로 발생된다.
- <66> 그 결과, 드라이버들 UPD, DND, UPC 및 DNC에서는 피모오스트랜지스터들 MP1~MP4와 엔모오스트랜지스터들 MN1~MN4가 모두 턴오프됨에 따라 드라이버들 UPD, DND, UPC 및 DNC는 동작하지 않는 반면에, 터미네이션회로 30에 속하는 드라이버들 UPDt, DNDt, UPCt 및 DNCt에서는 피모오스트랜지스터들 MP5~MP8과 엔모오스트랜지스터들 MN5~MN8이 모두 턴오프됨에 따라 드라이버들 UPD, DND, UPC 및 DNC는 동작상태로 되어 도 6C에 보인 바와 같이 전송선 TL을 전원전압 VDD와 접지전압 VSS에 전기적으로 연결시킨다.
- <67> 이 경우에도, 임피이던스코드신호들 OC 및 TC는 모두 로우레벨로 된다. 그러나, 부가적인 드라이버가 필요없는 경우, 즉 제1드라이버 유닛 10에 포함된 드라이버들 UPDt 및 DNDt만으로도 데이터 입력시의 임피이던스 정합이 가능한 경우에는, 제2드라이버 유닛 20에 포함된 드라이버들 UPCt 및 DNCt의 드라이브제어신호들 PCT1 및 NCT1을 발생하는 회로들(각각, 도 4D 및 5D)에는 임피이던스코드신호들 OC 및 TC가 모두 하이레벨로 인가되어 드라이브제어신호들 PCT1 및 NCT1은 발생되지 않기 때문에 제2드라이버 유닛 20의 드라이버들 UPCt 및 DNCt는 동작하지 않는다.
- <68> 이와 같이, 본 발명에 따른 드라이브회로 3은 컨트롤러 2의 통제에 따라, 기본적으로 제1드라이버 유닛 10만으로도 데이터 출력기능을 수행할 뿐만 아니라 데이터입력시에

도 온칩터미네이션 기능을 수행하도록 설계되어 있음을 알 수 있다. 또한, 데이터 출력 또는 입력시에 전송선 TL에 대한 임피이던스가 부족할 경우를 대비하여 제공되는 임피이던스코드신호들 OC 및 TC를 이용하여 그 부족한 임피이던스를 보강할 수 있도록 한다. 제2드라이버 유닛 20과 같은 부가적인 임피이던스 보강수단은 전송선 TL과의 임피이던스 정합 관계에 따라 더 추가될 수 있다.

【발명의 효과】

<69> 상술한 바와 같이, 본 발명은 데이터를 출력하고 입력하는 드라이브회로에 기본적으로 온칩터미네이션 기능을 부여하고, 데이터 입출력시에 임피이던스가 부족할 때 이를 보강할 수 있도록 함으로써, 집적회로장치에서 보다 간단한 회로구성으로써 데이터 입출력특성을 효율적으로 관리하고 향상시킬 수 있는 실질적이고 구체적인 기술을 제공하는 이점이 있다.

【특허청구범위】**【청구항 1】**

소정의 임피이던스를 가지는 전송선에 연결된 집적회로장치에 있어서,

상기 전송선에 대한 데이터 입출력동작을 수행하는 다수개의 드라이버 유닛들을 가지는 드라이브회로와;

출력데이터신호를 입력하며 출력활성화신호와 상기 임피이던스의 상태에 관련된 임피이던스코드신호들에 응답하여 발생된 복수의 제어신호들을 상기 드라이브회로에 인가하는 컨트롤러를 구비하며;

상기 제어신호들에 각각 응답하여 적어도 하나의 드라이버 유닛이 구동되며 상기 각 드라이버는 소정의 입력버퍼에 연결된 온칩터미네이션 회로를 포함함을 특징으로 하는 집적회로장치.

【청구항 2】

제1항에 있어서,

상기 드라이브회로가 상기 전송선에 공통으로 연결된 제1 및 제2드라이버 유닛들로 이루어짐을 특징으로 하는 집적회로장치.

【청구항 3】

제2항에 있어서,

컨트롤러가 :

상기 출력활성화신호와 상기 출력데이터신호에 응답하여 제1엠티드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타신호에 응답하여 제2엡드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타신호에 응답하여 제1다운드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타에 응답하여 제2다운드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타신호와 제1임피이던스코드신호에 응답하여 제3엡드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타신호와 상기 제1임피이던스코드신호 및 제2임피이던스코드에 응답하여 제4엡드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호신호 및 상기 출력데이타신호와 상기 제1임피이던스코드에 응답하여 제3다운드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호 및 상기 출력데이타신호와 상기 제1임피이던스코드신호 및 상기 제2임피이던스코드에 응답하여 제4다운드라이브 제어신호를 발생하는 회로를 구비함을 특징으로 하는 집적회로장치.

【청구항 4】

제3항에 있어서,

상기 제1드라이버 유닛이:

상기 제1엡드라이브 제어신호에 응답하여 전원전압과 상기 전송선을 연결하는 제1엡드라이버와;

상기 제2오프드라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제2오프드라이버와;

상기 제1다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제1다운드라이버와;

상기 제2다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제2다운드라이버를 구비함을 특징으로 하는 집적회로장치.

【청구항 5】

제4항에 있어서,

상기 제1오프드라이버가 상기 제1오프드라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 적어도 하나의 피모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 6】

제4항에 있어서,

상기 제2오프드라이버가 상기 제2오프드라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 적어도 하나의 피모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 7】

제4항에 있어서,

상기 제1다운드라이버가 상기 제1다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 적어도 하나의 엔모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 8】

제4항에 있어서,

상기 제2다운드라이버가 상기 제2다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 적어도 하나의 엔모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 9】

제4항에 있어서,

상기 제2업드라이버와 상기 제2다운드라이버가 상기 온칩터미네이션 회로에 포함됨을 특징으로 하는 집적회로장치.

【청구항 10】

제9항에 있어서,

상기 데이터출력시에는 상기 제1업드라이버와 상기 제1다운드라이버가 상기 출력데이터신호의 종류에 따라 선택적으로 구동되며, 상기 데이터입력시에는 상기 제2업드라이버와 상기 제2다운드라이버가 동시에 구동됨을 특징으로 하는 집적회로장치.

【청구항 11】

제4항에 있어서,

상기 제2드라이버 유닛이:

상기 제3엠티라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제3엠티라이버와;

상기 제4엠티라이브 제어신호에 응답하여 상기 전원전압과 상기 전송선을 연결하는 제4엠티라이버와;

상기 제3다운드라이브 제어신호에 응답하여 상기 전송선과 접지전압을 연결하는 제3다운드라이버와;

상기 제4다운드라이브 제어신호에 응답하여 상기 전송선과 상기 접지전압을 연결하는 제4다운드라이버를 구비함을 특징으로 하는 집적회로장치.

【청구항 12】

제11항에 있어서,

상기 제3엠티라이버가 상기 제3엠티라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 적어도 하나의 피모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 13】

제11항에 있어서,

상기 제4엠티라이버가 상기 제4엠티라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 적어도 하나의 피모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 14】

제11항에 있어서,

상기 제3다운드라이버가 상기 제3다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 적어도 하나의 엔모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 15】

제11항에 있어서,

상기 제4다운드라이버가 상기 제4다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 적어도 하나의 엔모오스트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 16】

제11항에 있어서,

상기 제4엠펙드라이버와 상기 제4다운드라이버가 상기 온칩터미네이션 회로에 포함됨을 특징으로 하는 집적회로장치.

【청구항 17】

제16항에 있어서,

상기 데이터출력시에는 상기 제3엠펙드라이버 및 상기 제3다운드라이버가 상기 출력 데이터신호의 종류에 따라 상기 제1엠펙드라이버 및 상기 제1다운드라이버와 동시에 선택적으로 구동되며, 상기 데이터입력시에는 상기 제4엠펙드라이버와 상기 제4다운드라이버가 상기 제2엠펙드라이버 및 상기 제2다운드라이버와 동시에 구동됨을 특징으로 하는 집적회로장치.

【청구항 18】

소정의 임피이던스를 가지는 전송선을 통하여 데이터 입출력을 하는 집적회로장치에 있어서,

출력활성화신호에 응답하여 출력데이터신호로부터 제1엠티드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호에 응답하여 상기 출력데이터신호로부터 제1다운드라이브 제어신호를 발생하는 회로와;

출력활성화신호에 응답하여 상기 출력데이터신호로부터 제2엠티드라이브 제어신호를 발생하는 회로와;

상기 출력활성화신호에 응답하여 상기 출력데이터신호로부터 제2다운드라이브 제어신호를 발생하는 회로와;

상기 제1엠티드라이브 제어신호에 응답하여 전원전압을 상기 전송선에 연결하는 제1피모오스트랜지스터회로와;

상기 제1다운드라이브 제어신호에 응답하여 상기 전송선을 접지전압에 연결하는 제1엔모오스트랜지스터회로와;

상기 제2엠티드라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 제2피모오스트랜지스터회로와;

상기 제2다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 제2엔모오스트랜지스터회로를 구비하며;

상기 데이터 출력시에는 상기 출력데이터신호의 상태에 따라 상기 제1 및 제2피모 오스트랜지스터회로들과 상기 제1 및 제2엔모오스트랜지스터회로들이 상기 제1 및 제2엠티드라이브 제어신호들과 상기 제1 및 제2다운드라이브 제어신호들에 응답하여 선택적으로 구동되며, 상기 데이터입력시에는 상기 제2피모오스트랜지스터회로와 상기 제2엔모오스트랜지스터회로가 동시에 구동됨을 특징으로 하는 집적회로장치.

【청구항 19】

제18항에 있어서,

상기 출력데이터신호를 입력하며 상기 출력활성화신호와 상기 임피이던스에 관련된 제1코드신호에 응답하여 제3엠티드라이브 제어신호를 발생하는 회로와;

상기 출력데이터신호를 입력하며 상기 출력활성화신호 및 상기 제1코드신호에 응답하여 제3다운드라이브 제어신호를 발생하는 회로와;

상기 출력데이터신호를 입력하며 상기 출력활성화신호 및 상기 제1코드신호와 상기 임피이던스에 관련된 제2코드신호에 응답하여 제4엠티드라이브 제어신호를 발생하는 회로와;

상기 출력데이터신호를 입력하며 상기 출력활성화신호와 상기 제1 및 제2코드신호에 응답하여 제4다운드라이브 제어신호를 발생하는 회로와;

상기 제3엠티드라이브 제어신호에 응답하여 전원전압을 상기 전송선에 연결하는 제3피모오스트랜지스터회로와;

상기 제3다운드라이브 제어신호에 응답하여 상기 전송선을 접지전압에 연결하는 제3엔모오스트랜지스터회로와;

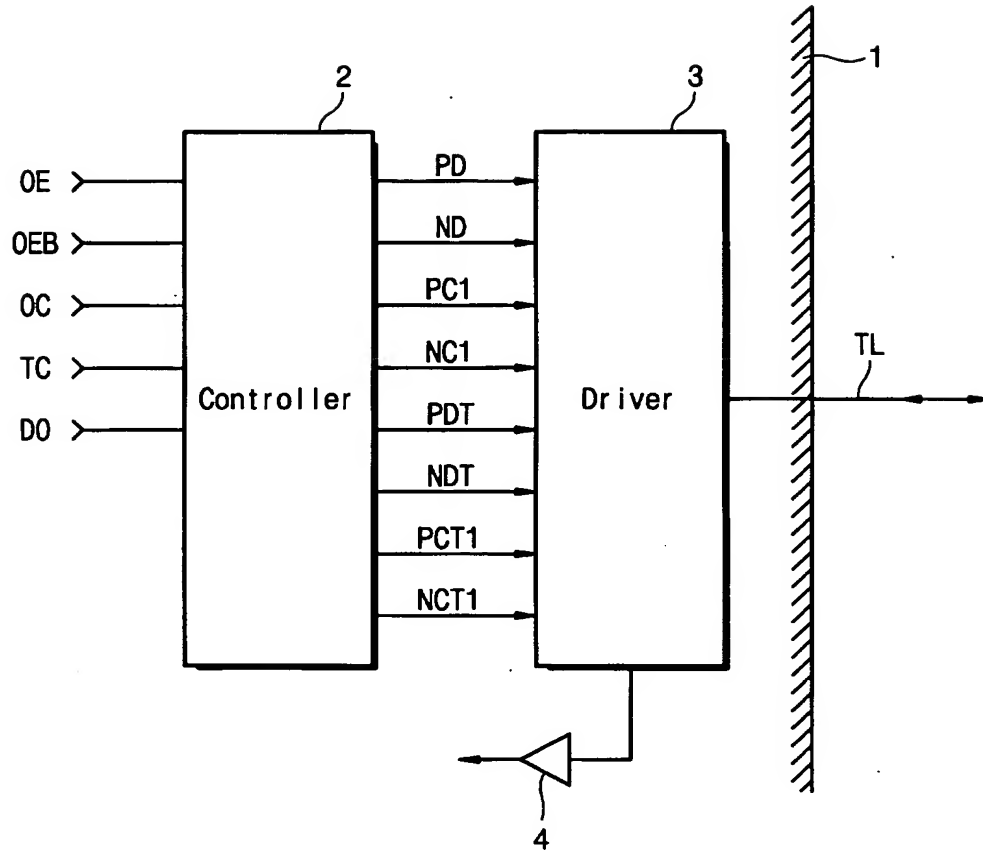
상기 제4엠티드라이브 제어신호에 응답하여 상기 전원전압을 상기 전송선에 연결하는 제4피모오스트랜지스터회로와;

상기 제4다운드라이브 제어신호에 응답하여 상기 전송선을 상기 접지전압에 연결하는 제4엔모오스트랜지스터회로를 더 구비하며;

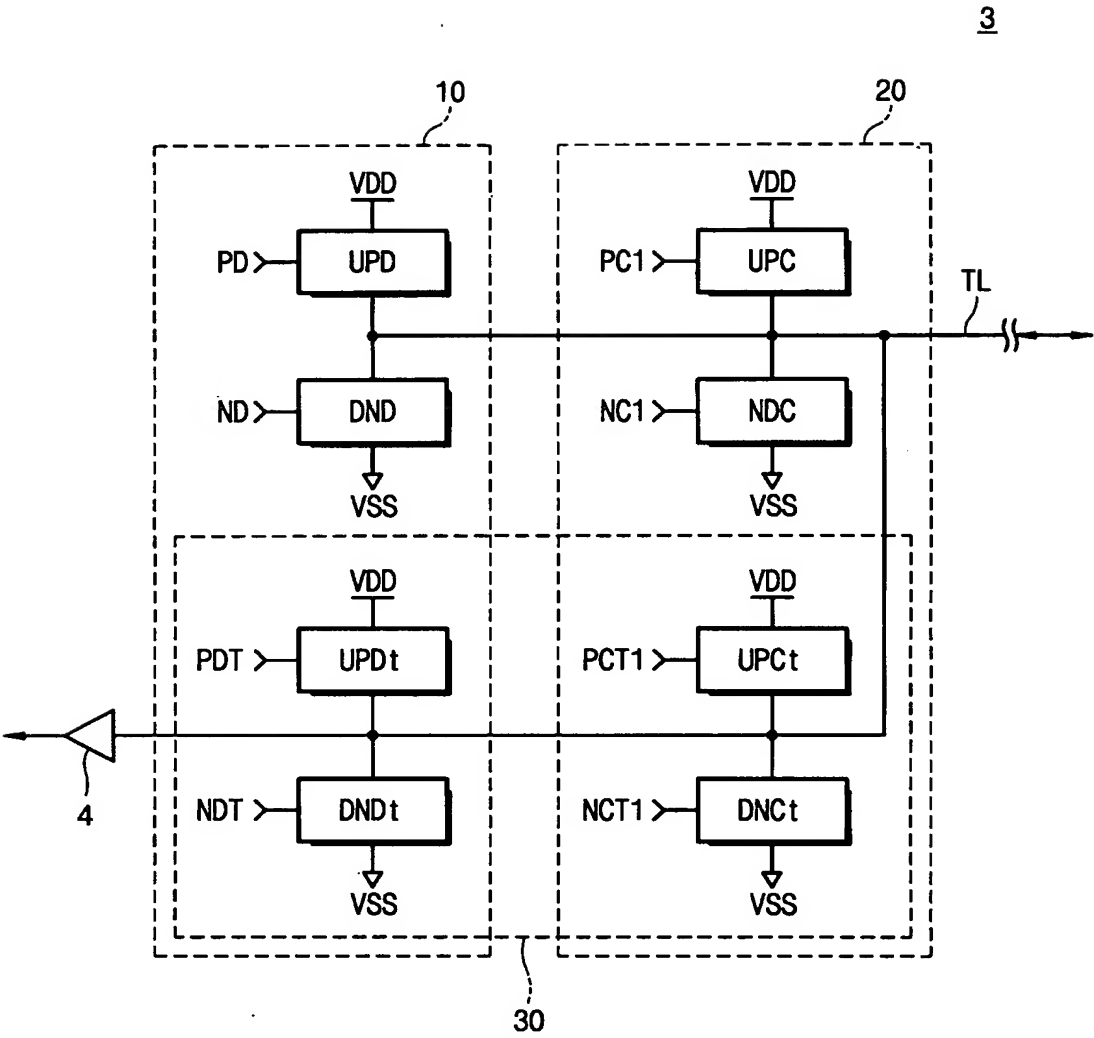
상기 데이터 출력시에는 상기 출력데이터신호의 상태에 따라 상기 피모오스트랜지스터회로들과 상기 엔모오스트랜지스터회로들이 선택적으로 구동되며, 상기 데이터입력시에는 상기 제2 및 제4피모오스트랜지스터회로들과 상기 제2 및 제4엔모오스트랜지스터회로들이 동시에 구동됨을 특징으로 하는 집적회로장치.

【도면】

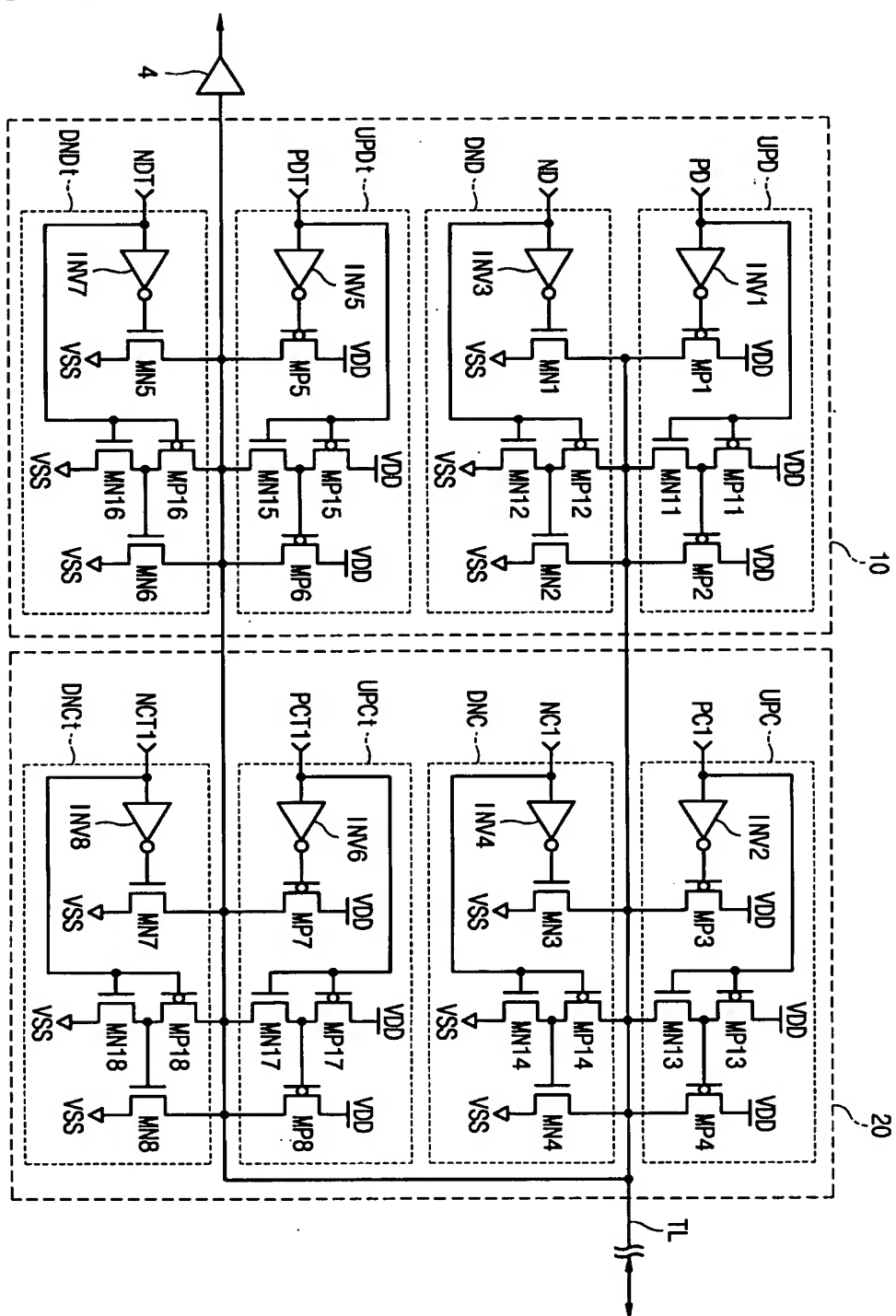
【도 1】



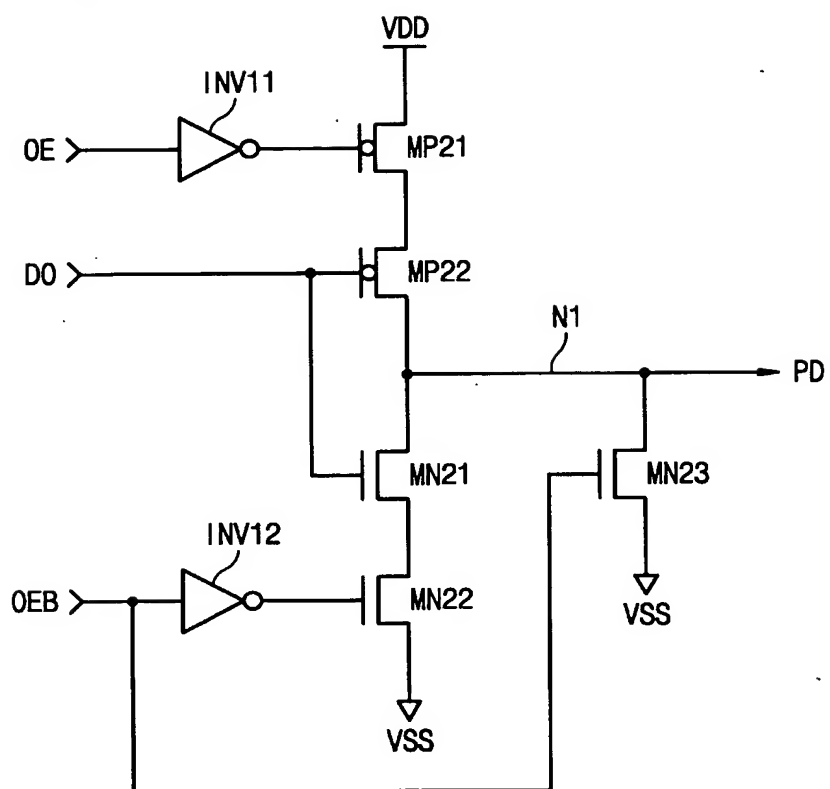
【도 2】



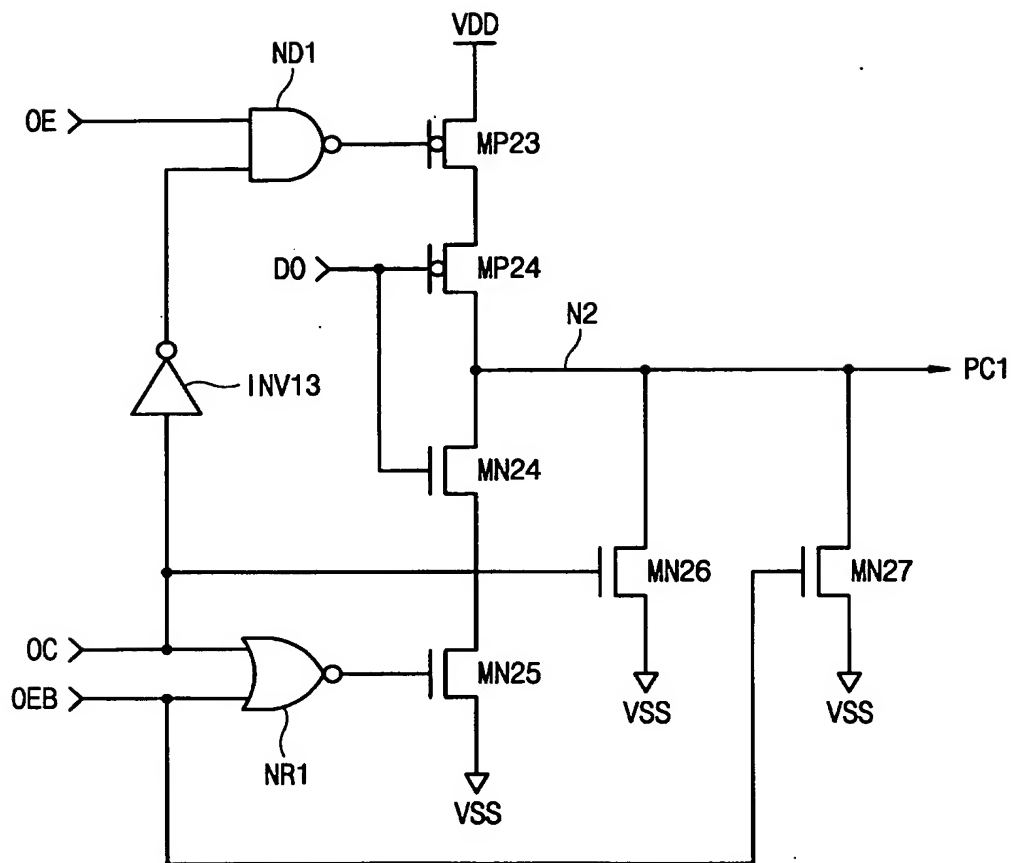
【도 3】



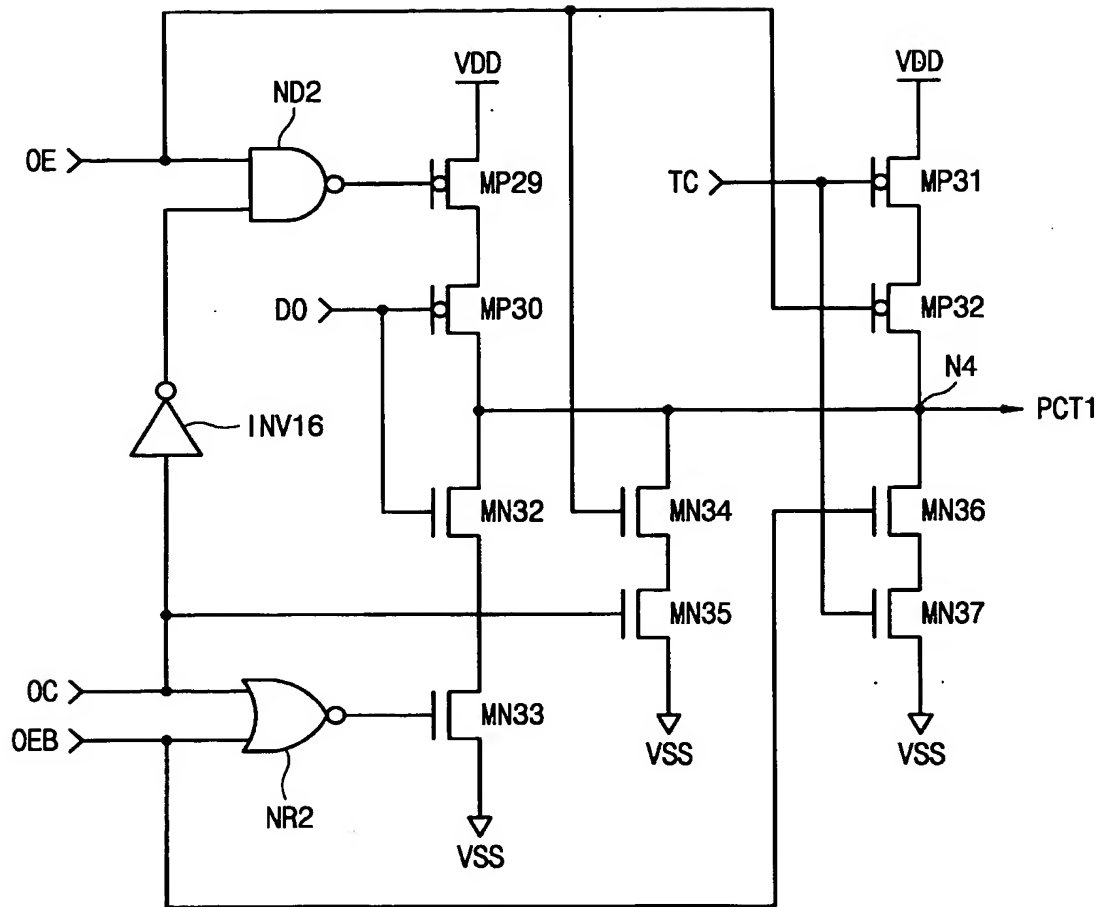
【도 4a】



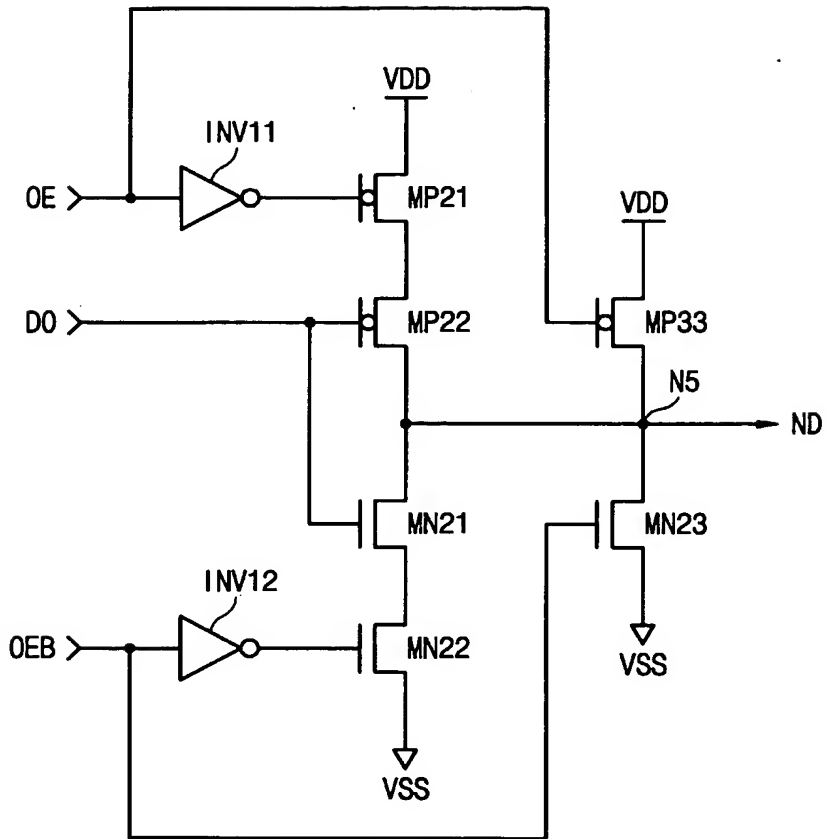
【도 4b】



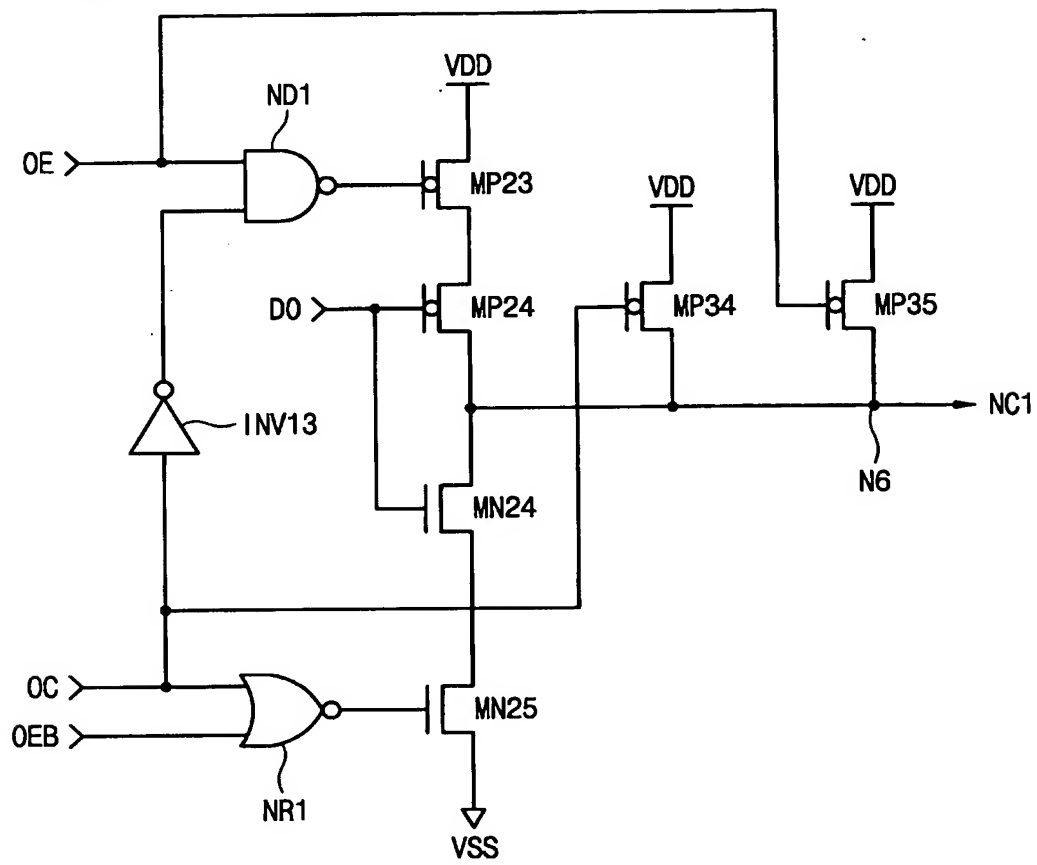
【도 4d】



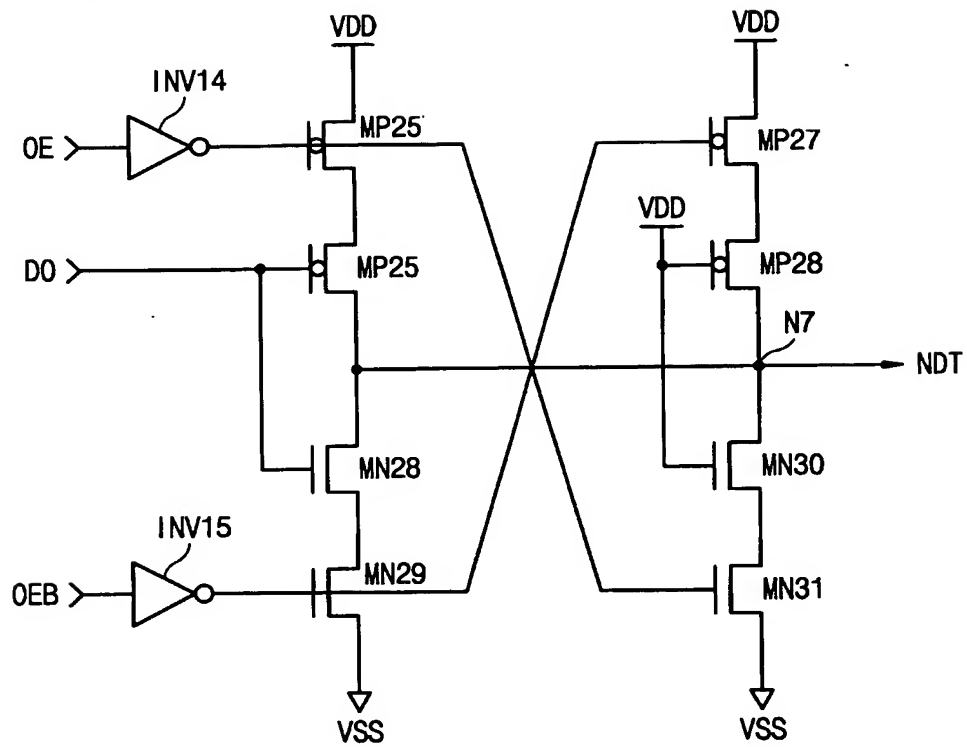
【도 5a】



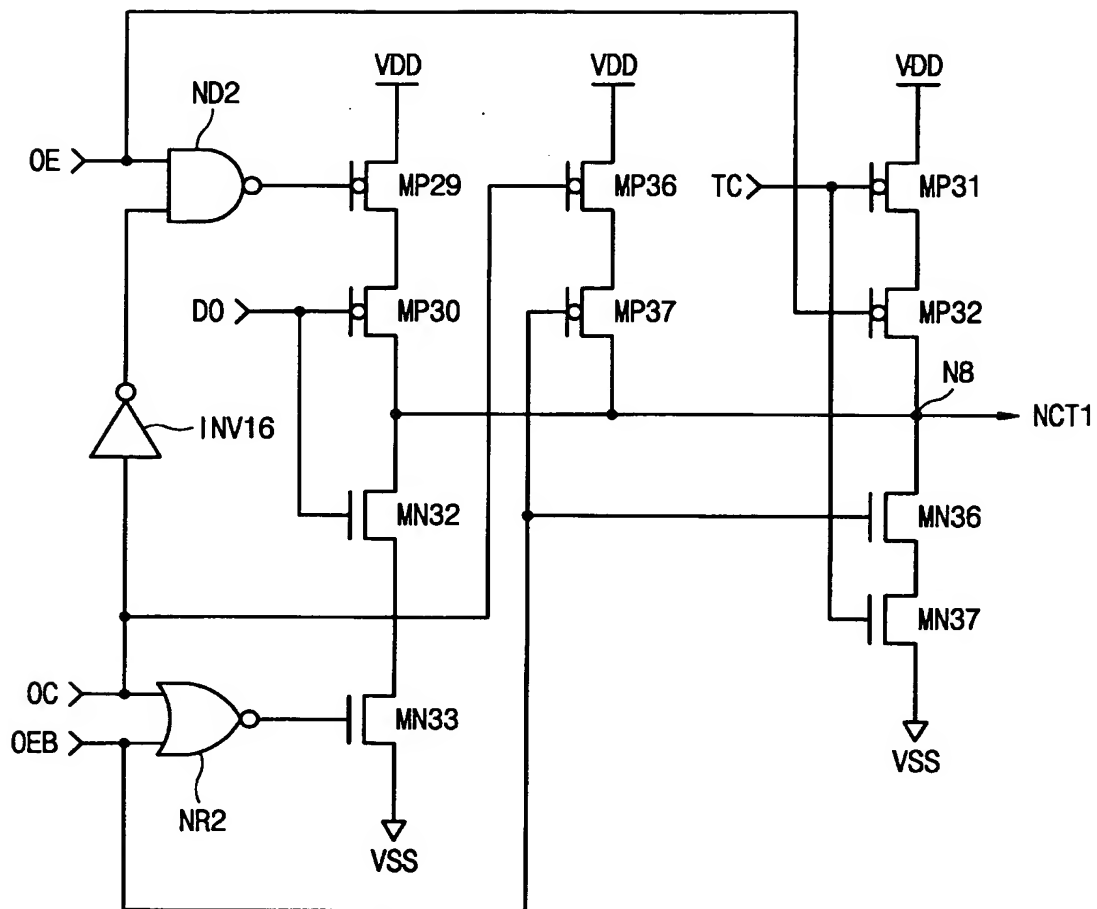
【도 5b】



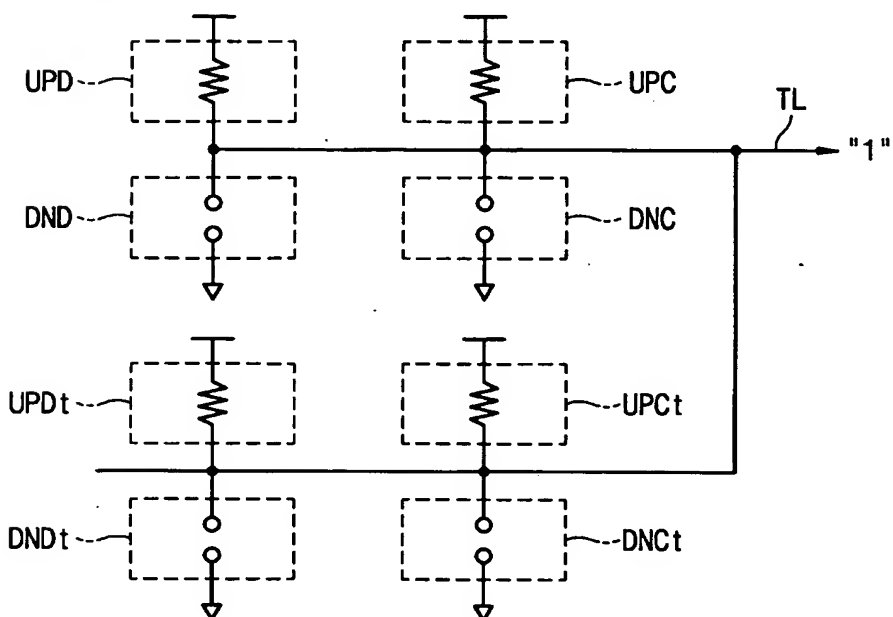
【도 5c】



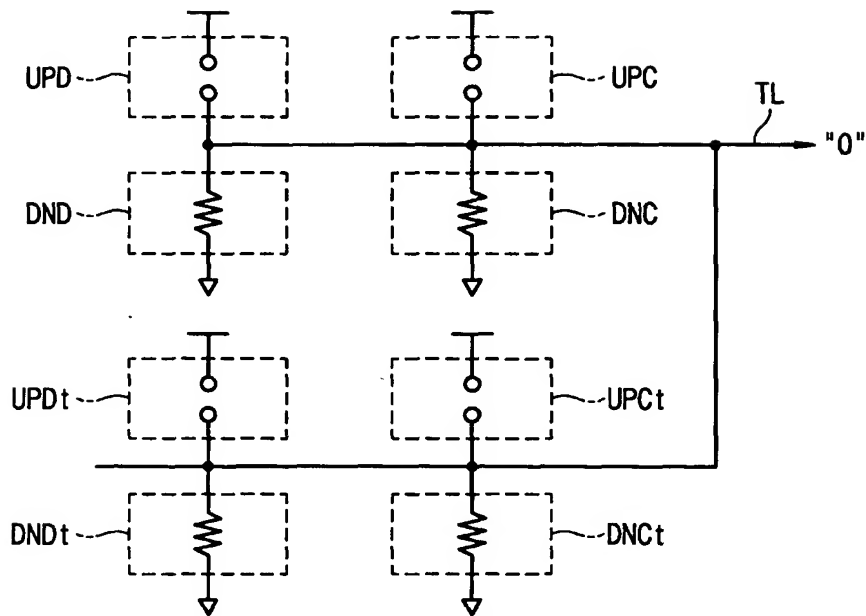
【도 5d】



【도 6a】



【도 6b】



【도 6c】

